



Attorney Docket No. 1349.1180

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yong-deok CHANG et al.

Application No.: 10/671,730

Group Art Unit: 2611

Filed: September 29, 2003

Examiner: Curtis B. ODOM

For: SINGLE-CARRIER RECEIVER HAVING A CHANNEL EQUALIZER INTERACTING  
WITH A TRELLIS DECODER AND A CHANNEL EQUALIZATION METHOD  
THEREFOR

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN APPLICATION  
IN ACCORDANCE WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith  
a certified copy of the following foreign application:

Korean Patent Application No(s). **10-2003-0003133**

Filed: **January 16, 2003**

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: June 27, 2007

By:

  
Stephen T. Boughner  
Registration No. 45,317

1201 New York Ave, N.W., 7th Floor  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



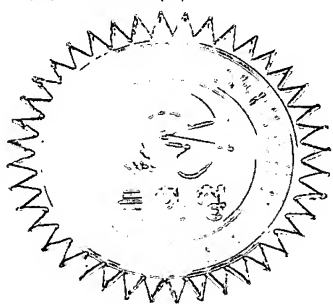
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0003133  
Application Number

출원년월일 : 2003년 01월 16일  
Date of Application JAN 16, 2003

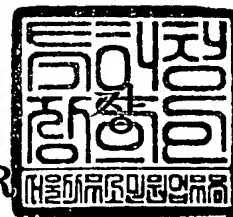
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【제출일자】 2003.01.16  
【발명의 명칭】 트렐리스 복호기와 연동하여 동작하는 채널등화장치를 가지는 단일반송파수신기 및 그의 채널등화방법  
【발명의 영문명칭】 Channel equalizer interactiving with Trellis coded modulation and a method equalizing thereof  
【출원인】  
    【명칭】 삼성전자 주식회사  
    【출원인코드】 1-1998-104271-3  
【대리인】  
    【성명】 정홍식  
    【대리인코드】 9-1998-000543-3  
    【포괄위임등록번호】 2003-002208-1  
【발명자】  
    【성명의 국문표기】 장용덕  
    【성명의 영문표기】 CHANG,YONG DEOK  
    【주민등록번호】 650301-1399024  
    【우편번호】 442-706  
    【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 105동 705호  
    【국적】 KR  
【발명자】  
    【성명의 국문표기】 정해주  
    【성명의 영문표기】 JEONG,HAЕ JOO  
    【주민등록번호】 650817-1037216  
    【우편번호】 121-250  
    【주소】 서울특별시 마포구 성산동 450번지 성산아파트 25-1003  
    【국적】 KR  
【발명자】  
    【성명의 국문표기】 권용식  
    【성명의 영문표기】 KWON,YONG SIK  
    【주민등록번호】 750314-1815017



1020030003133

출력 일자: 2003/11/12

【우편번호】	133-824
【주소】	서울특별시 성동구 성수1가2동 670-71
【국적】	KR
【발명자】	
【성명의 국문표기】	정진희
【성명의 영문표기】	JEONG, JIN HEE
【주민등록번호】	781102-2010927
【우편번호】	130-825
【주소】	서울특별시 동대문구 이문1동 87-70호 24/3
【국적】	KR
【우선권주장】	
【출원국명】	US
【출원종류】	특허
【출원번호】	60/430,359
【출원일자】	2002.12.03
【증명서류】	미첨부
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정홍식 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	21 면 21,000 원
【우선권주장료】	1 건 26,000 원
【심사청구료】	0 항 0 원
【합계】	76,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

트렐리스복호기와 연동하여 동작하는 단일반송파수신기의 채널등화장치 및 그의 채널등화방법이 개시된다. 채널등화장치는, 입력신호의 프리고스트를 제거하는 제1FF부와 입력신호의 포스트고스트를 제거하는 제1FB부를 가지는 제1등화부, 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하는 트렐리스복호기, 및 입력신호의 프리고스트를 제거하는 제2FF부와 트렐리스복호기에 의해 디코딩된 신호에 기초하여 입력신호의 포스트고스트를 제거하는 제2FB부를 가지는 제2등화부를 갖는다. 따라서, 트렐리스복호기와 연동하여 동작하는 제1 및 제2등화부를 가짐으로써 채널등화장치의 등화성능 및 등화속도를 향상시킬 수 있다.

**【대표도】**

도 9

**【색인어】**

트렐리스복호기, 채널등화장치, 전파에러현상, 피드백필터



## 【명세서】

## 【발명의 명칭】

트렐리스 복호기와 연동하여 동작하는 채널등화장치를 가지는 단일반송파수신기 및 그의 채널등화방법{Channel equalizer interacting with Trellis coded modulation and a method equalizing thereof}

## 【도면의 간단한 설명】

도 1은 종래의 단일반송파수신기의 채널등화기에 대한 개략적인 블록도,  
 도 2는 본 발명에 따른 단일반송파수신기의 개략적인 블록도,  
 도 3은 도 2의 채널등화장치의 제1실시예에 대한 개략적인 블록도,  
 도 4는 도 2의 트렐리스복호기의 일예로서 트렐리스복호기에 대한 개념도,  
 도 5는 도 2의 채널등화장치의 제2실시예에 대한 개략적인 블록도,  
 도 6은 도 2의 채널등화장치의 제3실시예에 대한 개략적인 블록도,  
 도 7은 도 2의 채널등화장치의 제4실시예에 대한 개략적인 블록도,  
 도 8는 도 2의 채널등화장치의 제5실시예에 대한 개략적인 블록도,  
 도 9은 도 2의 채널등화장치의 제6실시예에 대한 개략적인 블록도, 및  
 도 10은 도 9의 채널등화장치에 대한 채널등화방법에 대한 흐름도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

411 : 제1FF부      413 : 제2FB부  
 415 : 제1가산부      417 : 제1레벨결정부  
 419 : 제1에러산출부      430 : 트렐리스복호기



531 : 트렐리스제어부      471 : 제2FF부

473 : 제2FF부      475 : 제2가산부

477 : 제2레벨결정부      479 : 제2에러산출부

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<18>      본 발명은 단일반송파수신기의 채널등화장치에 관한 것으로서, 보다 상세하게는, 트렐리스 복호기(Trellis Decoder)와 연동하여 동작하는 채널등화장치에 관한 것이다.

<19>      도 1은 종래의 일반적인 단일반송파수신기에 적용되는 채널등화장치의 일 예를 도시한 것으로, 결정궤환등화기(Decision Feedback Equalizer:DFE) 구조를 가지는 채널등화장치에 대한 개략적인 블록도이다.

<20>      DFT구조의 채널등화장치는 FF(feed-forward)부(10), FB(feed back)부(30), 가산부(50), 레벨결정부(70), 및 에러산출부(90) 등을 가지고 있다.

<21>      FF부(10)는 입력신호의 각 심볼에 대해 프리고스트(pre-ghost)의 영향을 제거한다. FB부(30)는 입력신호의 각 심볼에 대해 포스트고스트(post-ghost)의 영향을 제거한다. 가산부(50)는 FF부(10)에서 프리고스트가 제거된 값과 FB부(30)에서 포스트고스트가 제거된 값을 더한다.

<22>      레벨결정부(70)는 가산부(50)에서 더해진 값을 설정된 레벨을 기준으로 거리가 가장 가까운 신호 레벨로 결정한다. 레벨결정부(70)는 결정된 레벨값을



FB부(30)로 피드백한다. 이때, 레벨결정부(70)는 설정된 신호의 레벨, 예컨대, 4레벨, 8레벨, 및 16레벨 등에 대응하여 입력되는 신호의 레벨을 소정의 레벨로 결정한다.

<23> 에러산출부(90)는 가산부(50)로부터 출력되는 신호와 레벨결정부(70)로부터 출력되는 신호를 이용하여 등화에러값을 산출한다. 이렇게 산출된 등화에러값은 FF부(10) 및 FB부(30)에 입력되며, FF부(10) 및 FB부(30)는 입력된 등화에러값에 기초하여 각각의 필터 탭 계수를 업데이트한다.

<24> 이상과 같은 종래의 DFT구조의 채널등화장치는, 비교적 적은 탭으로 빠른 수렴속도를 갖는다는 장점이 있으나, FB부(30) 즉, 피드백필터에 입력되는 추정신호의 정확성이 채널등화장치의 등화성능을 좌우하게 된다. 즉, 잡음에 의해서 레벨결정부(70)에서 잘못된 추정신호가 FB부(30)에 입력되는 경우, 에러 전파(error propagation) 현상이 발생하여 채널등화장치의 등화성능을 열화시키는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은, 트렐리스 복호기(Trellis Decoder)와 연동하여 동작하는 채널등화장치를 가지는 단일반송파수신기 및 그의 채널등화방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명에 따른 단일반송파수신기의 채널등화장치는, 입력신호의 프리고스트를 제거하는 제1FF부와 상기 입력신호의 포스트고스트를 제거하는 제1FB부를 가지는 제1등화부, 상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하는 트렐리스복호기, 및 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와 상기 트렐리스복호기에 의해





디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부를 가지는 제2등화부를 갖는다.

<27> 바람직하게는 상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼를 가지며, 상기 트렐리스복호기는 전체 디코딩 뎁쓰(decoding depth)가  $N$  ( $N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K$  ( $K$ 는 자연수)를 갖는다.

<28> 상기 제1등화부는 상기 제1FB부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출부, 및 상기 제1등화에러값이 임계값 이하가 되면 상기 트렐리스복호기의 소정의 디코딩 뎁쓰 상태에서 출력되는 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부를 갖는다. 이에 의해, 상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n$  ( $n \leq N$  자연수)인 상태에서 출력되는 상기 추정신호는 상기 제1FB부의  $1 + (n \times K)$  번째 필터 탭에 입력된다.

<29> 또한, 상기 트렐리스제어부는 상기 제1등화에러값이 임계값 이하가 되면 상기 트렐리스복호기의 상기 전체 디코딩 뎁쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어한다. 여기서, 상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n$  ( $n \leq N$ )인 상태에서 출력되는 추정신호는 상기 제1FB부의  $1 + (n \times K)$  번째 필터 탭에 입력되며, 이에 의해 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각 해당하는 상기 제1FB부의 필터 탭에 입력된다.

<30> 바람직하게는 상기 제2등화부는, 상기 트렐리스복호기에서 출력되는 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출부를 갖는다.



- <31> 한편, 본 발명에 따른 단일반송파수신기의 채널등화방법은, 제1FF부 및 제1FB부에 의해 입력신호의 프리고스트 및 포스트고스트를 제거하는 제1등화단계, 트렐리스복호기에 의해 상기 제1등화단계의 출력된 신호에 대해 트렐리스 디코딩을 수행하는 트렐리스 디코딩단계, 및 입력신호에 대해 제2FF부에서 상기 프리고스트를 제거하고 상기 트렐리스 디코딩단계에서 디코딩된 신호에 기초하여 제2FB부에서는 상기 입력신호의 상기 포스트고스트를 제거하는 제2등화단계를 가지는 것을 특징으로 한다.
- <32> 상기 제1등화단계에 입력되는 상기 입력신호를 소정시간 동안 저장하는 단계를 가지며, 상기 트렐리스 디코딩단계의 상기 트렐리스복호기는 전체 디코딩 뎁쓰(decoding depth)가  $N(N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K(K$ 는 자연수)인 것을 특징으로 한다.
- <33> 바람직하게는 상기 제1등화단계는 상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출단계를 가지며, 상기 제1등화에러값이 임계값 이하가 되면 상기 트렐리스복호기의 소정의 디코딩 뎁쓰 상태에서 출력되는 추정신호를 상기 제1FB부에 입력시키는 피드백단계를 갖는다. 이때, 상기 피드백단계는 상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n(n \leq N$  자연수)인 상태에서 출력되는 상기 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력된다.
- <34> 또한, 상기 제1등화에러값이 임계값 이하가 되면, 상기 트렐리스복호기의 상기 전체 디코딩 뎁쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키는 피드백단계를 갖는다. 이때, 상기 피드백단계는 상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n(n \leq N)$ 인 상태에서 출력되는 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되며, 이

와 같은 방식으로 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각 해당하는 상기 제1FB부의 필터 탭에 입력된다.

<35> 바람직하게는 상기 제2등화단계는, 상기 트렐리스 디코딩단계에서 출력되는 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출단계를 갖는다.

<36> 따라서, 트렐리스복호기와 연동하여 동작하는 제1 및 제2등화부를 가짐으로써 채널등화 장치의 등화성능 및 등화속도를 향상시킬 수 있다.

<37> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

<38> 도 2은 본 발명에 따른 트렐리스복호기와 연동하여 동작하는 채널등화장치를 가지는 단일방송파수신기 중 예컨대, VBS 수신기에 대한 개략적인 블록도이다.

<39> VSB 수신기는, 복조부(110), 왜곡보상부(120), 콤펙터(130), 채널등화장치(400), 위상복원부(150), 트렐리스복호부(170), 디인터리빙부(deinterleaver)(180), 및 리드솔로몬 복호부(reed-solomon decoder) (190)를 갖는다.

<40> 복조부(110)는 수신된 RF 대역의 방송신호를 기저대역으로 변환한다. 왜곡보상부(120)는 복조부(110)에서 출력된 방송신호에 대해, 세그먼트 동기 신호, 필드 동기 신호, 심볼 타이밍 등을 복구한다. 콤펙터(130)는 복조부(110)에서 출력된 방송신호에 대해 NTSC 간섭 신호를 제거한다.

<41> 채널등화장치(400)는 제1등화부(410), 트렐리스복호기(430), 및 제2등화부(470) 등을 가지며, 전송채널을 통해 방송신호의 전송 중에 발생한 채널왜곡을 보상한다. 위상복원부(450)는 채널왜곡이 보상된 방송신호의 위상을 복원한다.

- <42> 트렐리스복호부(170)는 위상 복원된 방송신호에 대해 트렐리스 디코딩을 수행한다. 디인터리빙부(180)는 트렐리스 디코딩된 방송신호에 대해 송신측에서 수행된 인터리빙에 대응하는 디인터리빙을 수행한다. 리드-솔로몬 복호부(190)는 송신측에서 수행된 방송신호에 대한 리드-솔로몬 부호화에 대응하는 복호를 디인터리빙된 방송신호에 대해 수행한다.
- <43> 이하에서는 도면을 참조하여 트렐리스복호기와 연동하여 동작하는 다양한 실시예에 따른 채널등화장치에 대해 상세하게 설명한다.
- <44> 도 3는 본 발명에 따른 제1실시예인 채널등화장치(400)의 상세한 블록도이다.
- <45> 채널등화장치(400)는 제1등화부(410), 트렐리스복호기(430), 버퍼(450), 및 제2등화부(470)을 가지고 있다.
- <46> 제1등화부(410)는 제1FF(feed-forward)부(411), 제1FB(feed back)부(413), 제1가산부(415), 제1레벨결정부(417), 및 제1에러산출부(419) 등을 가지고 있다.
- <47> 제1FF부(411)는 입력신호의 프리-고스트(pre-ghost)를 제거하며, 제1FB부(413)는 입력신호의 포스트-고스트(post-ghost)를 제거한다. 제1가산부(415)는 제1FF부(411)와 제1FB부(413) 각각의 출력신호를 가산함으로써 제1등화부(410)의 출력신호를 발생한다. 제1레벨결정부(417)는 제1가산부(415)에서 가산된 신호를 소정의 레벨로 결정하며, 결정된 레벨값은 제1FB부(413)로 피드백된다. 제1에러산출부(419)는 제1가산부(415)와 제1레벨결정부(417)의 출력신호를 이용하여 제1등화에러값을 산출하며, 산출된 제1등화에러값은 제1FF부(411) 및 제1FB부(413)에 입력된다. 제1FF부(411) 및 제1FB부(413)에서는 입력된 제1등화에러값에 대응하여 각각의 필터 탭 계수를 업데이트하여 입력신호의 프리고스트 및 포스트고스트를 제거한다.



- <48> 제1가산부(415)로부터 출력되는 제1등화부(410)의 출력신호는 트렐리스복호기(430)에 입력되며, 트렐리스복호기(430)는 입력된 제1등화부(410)의 출력신호를 트렐리스 디코딩한다. 본 실시예의 채널등화기에 적용되는 트렐리스복호기(430)는, 도 4에 도시된 바와 같이, K 심볼 단위로 디인터리빙을 수행하고, 디코딩 뎀쓰(decoding depth)가 0,1,2,3,...,N 상태(stste)인 경우를 예로서 설명한다. 트렐리스복호기의 전체 트레이스 백 지연(Trace back delay)은 K 제 심볼이 된다.
- <49> 이상과 같은 트렐리스복호기(430)를 통해서 트렐리스 디코딩된 제1등화부(410)의 출력신호는 제2등화부(450)의 제2FB부(473)에 입력된다.
- <50> 버퍼(450)는 제1등화부(410)에 입력되는 신호를 소정시간 동안 저장한 후에 제2등화부(470)로 출력한다.
- <51> 제2등화부(470)는 제2FF(feed-forward)부(471), 제2FB(feed back)부(473), 제2가산부(475), 제2레벨결정부(477), 및 제2에러산출부(479) 등을 가지고 있다.
- <52> 즉, 제2FF부(471)는 버퍼(450)로부터 출력되는 입력신호의 프리고스트(pre-ghost)를 제거하며, 제2FB부(473)는 트렐리스복호기(430)로부터 트렐리스 디코딩된 신호를 이용하여 버퍼(450)로부터 출력되는 입력신호의 포스트-고스트(post-ghost)를 제거한다. 제2가산부(475)는 제2FF부(471) 및 제2FB부(473)의 출력신호를 가산하여 제2등화부(470), 즉, 채널등화장치(400)의 출력신호를 출력한다.
- <53> 제2레벨결정부(477)는 제2가산부(475)에서 가산된 신호를 소정의 레벨로 결정하며, 레벨이 결정된 신호는 제2에러산출부(479)에 입력된다. 즉, 제2FB부(473)에는 트렐리스복호기(430)

에 의해 트렐리스 디코딩된 신호가 입력되므로, 제2레벨결정부(477)의 에러에 의해 결정된 레벨의 신호가 잘못되었을 경우에 발생할 수 있는 에러 전파 현상을 막을 수 있게 된다.

<54> 제2에러산출부(479)는 제2가산부(475)와 제2레벨결정부(477)의 출력신호를 이용하여 제2등화에러값을 산출하며, 산출된 제2등화에러값은 제2FF부(471) 및 제2FB부(473)에 입력된다. 제2FF부(471) 및 제2FB부(473)에서는 입력된 제2등화에러값에 대응하여 각각의 필터 탭 계수를 업데이트하여 입력신호의 프리고스트 및 포스트고스트를 제거한다.

<55> 따라서, 제2등화부(470)의 제2FB부(473)에 트렐리스 디코딩된 신호가 입력됨으로써 등화수렴속도가 향상되며 또한, 등화성능이 향상된다.

<56> 도 5는 본 발명에 따른 제2실시예인 채널등화장치(500)의 상세한 블록도이다.

<57> 채널등화장치(500)는 제1등화부(510), 트렐리스복호기(530), 트렐리스제어부(531), 버퍼(550), 및 제2등화부(570)을 가지고 있다.

<58> 제1등화부(510)는 입력신호의 프리고스트를 제거하는 제1FF부(511)와, 포스트-고스트를 제거하는 제1FB부(513)와, 제1FF부(511) 및 제1FB부(513)의 각각의 출력신호를 가산함으로써 제1등화부(510)의 출력신호를 출력하는 제1가산부(515)와, 제1가산부(515)에서 가산된 신호를 소정의 레벨로 결정하여 제1FB부(513) 및 제1에러산출부(519)에 제공하는 제1레벨결정부(517), 및 제1가산부(515)와 제1레벨결정부(517)의 출력신호를 이용하여 제1등화에러값을 산출하여 제1FF부(511) 및 제1FB부(513)에 제공하는 제1에러산출부(519) 등을 가지고 있다.

<59> 제1가산부(515)로부터 출력되는 제1등화부(510)의 출력신호는 트렐리스복호기(530)에 입력되며, 트렐리스복호기(530)는 입력된 제1등화부(510)의 출력신호를 트렐리스 디코딩한다.

- <60> 한편, 트렐리스제어부(531)는 제1에러산출부(519)에서 산출된 제1등화에러값에 기초하여 제1등화에러값이 임계값 이하가 되면, 제1FB부(513)에 트렐리스 디코딩된 추정신호를 입력시키도록 트렐리스복호기(530)를 제어한다.
- <61> 일반적으로 시간(time)에 대해 트렐리스복호기(530)에서 디코딩된 신호와 제1레벨결정부(517)에 의해서 결정된 신호와의 심볼 에러율(SER)을 비교하면, 심볼에러율이 일정시간 이전과 이후에 대해 서로 다른 결과값을 얻는다. 즉, 일정시간 이전에는 제1레벨결정부(517)에 의해서 결정된 신호의 심볼 에러율이 트렐리스복호기(530)에 의해서 디코딩된 신호의 심볼 에러율과 같거나 낮으며, 반대로 일정시간 이후부터는 트렐리스복호기(530)에 의해 디코딩된 신호가 심볼 에러율이 낮아지는 결과를 갖는다.
- <62> 이와 같은 제1레벨결정부(517)와 트렐리스복호기(530)의 시간에 대한 심볼 에러율 특성에 따라서, 일정시간부터 심볼 에러율이 낮은 트렐리스 디코딩된 신호를 제1FB부(513)에 입력시키기 위해 트렐리스제어부(531)는 제1에러산출부(519)에서 산출된 제1등화에러값에 기초하여 트렐리스복호기(530)를 제어한다.
- <63> 트렐리스제어부(531)의 이와 같은 제어에 따라서, 트렐리스복호기(530)는 소정번째의 decoding depth 에서 디코딩된 추정신호를 제1FB부(513)에 입력한다.
- <64> 트렐리스복호기(530)가 도 4에 도시된 바와 같은 경우,  $n$ 번째 decoding depth에서 디코딩된 추정신호( $d_n$ )는, 트래이스 백 지연 심볼길이가  $n \times$ (심볼단위)이 되며, 이에 대응하여 제1FB부(513)의  $1+(n \times)$  번째의 필터 탭에 입력된다. 제1FB부(513)에서는  $1+(n \times)$  번째의 필터 탭 이후부터는 심볼 에러율이 낮은 추정신호( $d_n$ )에 기초하여 제거가 수행된다.

- <65> 따라서, 심볼 에러율이 낮은 트렐리스복호기(530)의 추정신호( $d_n$ )를 트레이스 백 지연길이를 고려하여 제1FB부(513)의 해당하는 필터 탭에 입력시킴으로써 제1레벨결정부(517)의 에러에 의해 제1FB부(513)에서 발생하는 에러 전파 현상을 막을 수 있다.
- <66> 이 후, 제1가산부(515)에 의해 제1FF부(511) 및 제1FB부(513) 각각의 출력신호가 가산된 제1등화부(510)의 출력신호는 트렐리스복호기(530)를 통해 트렐리스 디코딩된 후 제2등화부(570)의 제2FB부(573)에 입력된다.
- <67> 제2등화부(570)에 의한 등화과정은, 제1실시예(도 3에 도시됨)의 제2등화부(470)에서 설명된 등화과정과 동일하므로 상세한 설명은 생략하며, 결과적으로는 트렐리스복호기(530)에 의해 트렐리스 디코딩된 신호가 제2FB부(573)에는 입력됨으로써, 제2레벨결정부(577)의 에러에 의해 제2FB부(573)의 에러 전파 현상을 또한, 막을 수 있게 된다. 따라서, 채널등화장치(500)의 등화성능을 향상시킬 수 있다.
- <68> 도 6는 본 발명에 따른 제3실시예인 채널등화장치(600)의 상세한 블록도이다.
- <69> 채널등화장치(600)는 제1등화부(610), 트렐리스복호기(630), 트렐리스제어부(631), 버퍼(650), 및 제2등화부(670)을 가지고 있다.
- <70> 제1등화부(610)는 입력신호의 프리고스트를 제거하는 제1FF부(611)와, 포스트고스트를 제거하는 제1FB부(613)와, 제1FF부(611)와 제1FB부(613)의 각각의 출력신호를 가산함으로써 제1등화부(610)의 출력신호를 출력하는 제1가산부(615)와, 제1가산부(615)에서 가산된 신호를 소정의 레벨로 결정하여 제1FB부(613) 및 제1에러산출부(619)에 제공하는 제1레벨결정부(617), 및 제1가산부(615)와 제1레벨결정부(617)의 출력신호를 이용하여 제1등화에러값을 산출하여 제1FF부(611) 및 제1FB부(613)에 제공하는 제1에러산출부(619) 등을 가지고 있다.



- <71> 제1가산부(615)로부터 출력되는 제1등화부(610)의 출력신호는 트렐리스복호기(630)에 입력되며, 트렐리스복호기(630)는 입력된 제1등화부(610)의 출력신호를 트렐리스 디코딩한다.
- <72> 한편, 트렐리스제어부(631)는 제1에러산출부(619)에서 산출된 제1등화에러값이 임계값 이하가 되면, 제1FB부(613)에 트렐리스 디코딩된 복수개의 추정신호를 입력시키도록 트렐리스 복호기(630)를 제어한다.
- <73> 이상과 같이, 트렐리스복호기(630)에서 디코딩된 복수개의 추정신호를 트렐리스복호기(630)의 트레이스 백 지연길이에 대응하여 제1FB부(613)의 필터 탭에 각각 입력시킨다.
- <74> 예컨대, 트렐리스복호기(630)가 도 4에 도시된 바와 같은 경우, 전체의 디코딩 뎁쓰(decoding depth)  $0, 1, 2, 3, 4, \dots, N$  상태 중 임의로 설정된 복수개의 디코딩 뎁쓰 상태가  $0, 1, 2, \dots, n$  인 경우,  $0, 1, 2, \dots, n$  상태에서 디코딩된 추정신호는  $d_0, d_1, \dots, d_n$  이 된다. 이 경우, 디코딩 뎁쓰 '0' 상태에서 출력된 추정신호( $d_0$ )는 제1FB부(613)의 첫번째 필터 탭에 입력되며, 디코딩 뎁쓰 '1' 상태에서 출력된 추정신호( $d_1$ )는  $K$  심볼단위인  $(1+K)$  번째 필터 탭에 입력된다.
- <75> 이와 같은 방식으로 디코딩 뎁쓰 ' $n$ ' 상태에서 출력되는 추정신호( $d_n$ )는 제1FB부(613)의 필터 탭 중 트레이스 백 지연 심볼길이  $1+(n \times K)$ 에 해당하는 필터 탭에 입력된다.
- <76> 따라서, 트렐리스제어부(631)의 제어에 따라서 심볼 에러율이 낮은 트렐리스복호기(630)의 복수개의 추정신호가 제1FB부(613)의 해당하는 복수개의 필터 탭에 각각 입력됨으로써 제1레벨결정부(617)의 에러에 의해 제1FB부(613)에서 발생하는 에러 전파 현상을 막을 수 있게 된다.

- <77> 이후, 제1가산부(615)에서 출력되는 제1등화부(610)의 출력신호는 트렐리스복호기(630)를 통해 트렐리스 디코딩된 후 제2등화부(670)의 제2FB부(673)에 입력된다.
- <78> 제2등화부(570)에 의한 등화과정은, 제1실시예(도 3에 도시됨)의 제2등화부(470)에서 설명된 등화과정과 동일하므로 상세한 설명은 생략하며, 결과적으로는 트렐리스복호기(630)에 의해 트렐리스 디코딩된 신호가 제2FB부(673)에는 입력됨으로써, 제2레벨결정부(677)의 에러에 의해 제2FB(673)에서 발생하는 에러 전파 현상을 막을 수 있게 된다. 따라서, 채널등화장치(600)의 등화성능을 향상시킬 수 있다.
- <79> 이하 도 7 내지 도 9은 본 발명에 따른 제4, 제5, 및 제6실시예의 채널등화장치(700, 800, 900)에 대한 상세한 블록도이다. 도 7 내지 도 9에 도시된 채널등화장치(700, 800, 900)의 제1등화부(710, 810, 910), 트렐리스복호기(730, 830, 930), 트렐리스제어부(831, 931), 및 버퍼(750, 850, 950)는 앞서 설명된 제1, 제2, 및 제3실시예에 따른 채널등화장치(400, 500, 600)의 제1등화부(410, 510, 610), 트렐리스복호기(430, 530, 630), 트렐리스제어부(531, 631), 및 버퍼(450, 550, 650)와 대응하여 동일한 구조 및 동작을 갖는다. 이에 따라 상세한 설명은 생략한다.
- <80> 한편, 제4, 제5, 및 제6실시예의 채널등화장치(700, 800, 900)의 제2등화부(770, 870, 970)는, 제1, 제2, 및 제3실시예의 채널등화장치(400, 500, 600)의 제2등화부(470, 570, 670)와 서로 다른 구조 및 동작을 갖는다.
- <81> 이하에서는 제4, 제5, 및 제6실시예인 채널등화장치(700, 800, 900)의 제2등화부(770, 870, 970)의 구성 및 동작을 설명하되, 대표적으로 도 7에 도시된 제2등화부(770)에 대해 설명한다.

- <82> 제2등화부(770)는 제2FF부(771), 제2FB부(773), 제2가산부(775), 및 제2에러산출부(779) 등을 가지고 있다.
- <83> 제2FF부(771)는 소정시간 이후 버퍼(750)로부터 출력되는 제1등화부(710)의 입력신호에 대해 프리고스트를 제거한다.
- <84> 제2FB부(773)는 트렐리스복호기(730)로부터 트렐리스 디코딩된 신호가 입력되며, 입력되는 디코딩된 신호에 기초하여 버퍼(750)로부터 출력되는 제1등화부(710)의 입력신호에 대한 포스트 고스트를 제거한다.
- <85> 제2가산부(775)는 제2FF부(771) 및 제2FB부(773)로부터 출력되는 출력신호를 가산하여 제2등화부(770), 즉, 채널등화장치(700)의 출력신호를 출력한다.
- <86> 한편, 제2에러산출부(779)는 제2가산부(775)에서 출력되는 신호와 트렐리스복호기(730)으로부터 입력되는 트렐리스 디코딩된 신호를 이용하여 제2등화에러값을 산출한다. 산출된 제2등화에러값은 제2FF부(771) 및 제2FB부(773)에 입력되며, 제2FF부(771) 및 제2FB부(773)에서는 입력된 제2등화에러값에 대응하여 각각의 필터 탭 계수를 업데이트함으로써 등화를 수행한다.
- <87> 즉, 트렐리스복호기(730)에 의해 트렐리스 디코딩된 신호가 제2FB부(773)에 입력됨으로써 제2레벨결정부(777)의 에러에 의해 제2FB부(773)에서 발생하는 전파 에러 현상을 막을 수 있다. 더불어, 제2에러산출부(779)에서 트렐리스 디코딩된 신호에 기초하여 제2등화에러값을 산출함에 따라서 제2FF부(771) 및 제2FB부(773)의 등화수렴속도 및 등화성능을 더욱 더 향상시킬 수 있다.

- <88> 도 8 및 도 9의 제2등화부(870,970)는 도 7의 제2등화부(770)와 동일한 구조 및 동작을 가짐으로써 이에 대한 상세한 설명은 생략한다.
- <89> 이하에서는 도 10의 흐름도를 참조하여 본 발명의 바람직한 실시예 중 제6실시예인 도 9에 도시된 채널등화장치(900)에 대한 채널등화방법을 상세하게 설명한다.
- <90> 채널등화장치(900)의 입력신호는 제1FF부(911) 및 제1FB부(913)에 입력되어 프리고스트 및 포스트고스트가 각각의 필터에 의해 제거된 후 출력된다(S901). 제1FF부(911)와 제1FB부(913)에서 각각 출력되는 신호는 제1가산부(915)에 의해 가산된다(S903). 그 후, 제1가산부(915)의 출력신호는 제1레벨결정부(917)에 의해 소정의 레벨로 결정되어 출력되며, 레벨이 결정된 신호와 제1가산부(915)에서 출력된 가산신호를 이용하여 제1에러산출부(919)에서는 제1등화에러값을 산출한다(S905).
- <91> 제1에러산출부(919)에서 산출된 제1등화에러값은 제1FF부(911) 및 제1FB부(913)에 입력되어 각각의 필터 탭 계수가 업데이트되며, 반복적으로 필터 탭 계수가 업데이트됨에 따라서 제1등화부(910)에 입력된 신호는 점차 등화된다(S907).
- <92> 제1가산부(915)는 제1FF부(911) 및 제1FB부(913)의 출력신호를 가산하여 제1등화부(910)의 출력신호를 출력한다.
- <93> 트렐리스복호기(930)에서는 제1등화부(910)의 출력신호에 대해 트렐리스디코딩을 수행한다(S909).
- <94> 한편, 트렐리스제어부(931)는 제1에러산출부(919)에서 출력되는 제1등화에러값이 임계값 이하가 되면, 제1FB부(913)에 트렐리스 디코딩된 복수개의 추정신호를 입력시키도록 트렐리스복호기(930)를 제어한다.

- <95> 즉, 도 4에 도시된 바와 같이, 트렐리스복호기(930)의 전체의 디코딩 탭쓰 0,1,2,3,4,...N 상태 중 임의로 설정된 복수개의 디코딩 탭쓰 상태에서 디코딩된 복수개의 추정신호  $d_0, d_1, \dots, d_n$  를 트레이스 백 지연시간을 고려하여 제1FB부(913)의 복수개의 필터 탭에 각각 입력시킨다(S911).
- <96> 따라서, 트렐리스제어부(931)에 제어에 따라서 심볼 에러율이 낮은 트렐리스복호기(930)의 복수개의 추정신호가 제1FB부(913)의 해당하는 복수개의 필터 탭에 입력됨으로써 제1레벨결정부(917)의 에러에 의해 제1FB부(913)에서 발생하는 에러 전파 현상을 막을 수 있다.
- <97> 제2등화부(970)의 제2FF부(971)는 버퍼(950)로부터 출력되는 채널등화장치(900)의 입력신호에 대해 프리 고스트를 제거한다. 제2FB부(973)는 트렐리스복호기(930)로부터 트렐리스 디코딩된 신호에 기초하여 버퍼(950)로부터 출력되는 채널등화장치(900)의 입력신호의 포스트 고스트를 제거한다(S913).
- <98> 제2가산부(975)는 제2FF부(971) 및 제2FB부(973)로부터 출력되는 출력신호를 가산하여 출력한다(S915).
- <99> 제2에러산출부(979)는 제2가산부(975)에서 출력되는 신호와 트렐리스복호기(930)으로부터 출력되는 트렐리스 디코딩된 신호를 이용하여 제2등화에러값을 산출한다(S917). 산출된 제2등화에러값은 제2FF부(971) 및 제2FB부(973)에 입력되며, 제2FF부(971) 및 제2FB부(973)에서는 입력된 제2등화에러값에 대응하여 각각의 필터 탭 계수를 업데이트함으로써 제2등화부(970)의 등화를 수행한다(S919).

<100> 즉, 제2등화부(970)의 제2FB부(973) 및 제2에러산출부(979)에 트렐리스복호기(930)에 의해 트렐리스 디코딩된 심볼 에러율이 낮은 신호가 입력됨으로써 등화성능을 향상시킬 수 있다.

<101> 이상의 다양한 실시예에 따른 채널등화장치는 트렐리스복호기와 연동하여 동작함으로써 채널등화장치의 등화성능을 향상시킨다.

#### 【발명의 효과】

<102> 본 발명에 따르면, 첫째, 트렐리스복호기와 연동하여 동작하는 제1 및 제2등화부를 가짐으로써 채널등화장치의 등화성능 및 등화속도를 향상시킬 수 있다.

<103> 둘째, 트렐리스복호기의 디코딩 탭쓰가 0,1,2,...N인 상태 중 적어도 하나이상의 상태에서 출력되는 추정신호를 제1FB부의 해당하는 각각의 필터 탭에 에 입력시킴으로써 제1FB부의 에러 전파 현상을 막을 수 있다.

<104> 세째, 트렐리스복호기에서 출력되는 디코딩된 신호를 제2FB에 입력시킴으로써 제1FB부의 에러 전파 현상을 막을 수 있다.

<105> 네째, 트렐리스복호기에서 출력되는 디코딩된 신호에 기초하여 제2등화에러값을 산출함으로써 등화성능을 향상시킬 수 있다.

<106> 이상에서는 본 발명의 바람직한 실시예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위내에 있게 된다.

  
1020030003133

출력 일자: 2003/11/12

【특허청구범위】

【청구항 1】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하는 제1FB부를 가지는 제1등화부;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하는 트렐리스복호기; 및

상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 2】

제 1항에 있어서,

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 3】

제 1항에 있어서,

상기 트렐리스복호기는,

전체 디코딩 뎁쓰(decoding depth)가  $N$ ( $N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K$ ( $K$ 는 자연수)를 가지는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 4】

제 1항에 있어서,



상기 제1등화부는,

상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에  
러값을 산출하는 제1에러산출부;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널  
등화장치.

【청구항 5】

제 4항에 있어서,

상기 제1등화에러값이 임계값 이하가 되면,

상기 트렐리스복호기의 소정의 디코딩 맵쓰 상태에서 출력되는 추정신호를 상기 제1FB부  
에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부;를 더 포함하는 것을 특징으  
로 하는 단일반송파수신기의 채널등화장치.

【청구항 6】

제 5항에 있어서,

상기 트렐리스복호기의 상기 디코딩 맵쓰가  $n(n \leq N \text{ 자연수})$ 인 상태에서 출력되는 상기  
추정신호는, 상기 제1FB부의  $1+(n \times \text{필터 탭})$ 번째 필터 탭에 입력되는 것을 특징으로 하는 단일반송파  
수신기의 채널등화장치.

【청구항 7】

제 4항에 있어서,

상기 제1등화에러값이 임계값 이하가 되면,

상기 트렐리스복호기의 상기 전체 디코딩 뎁쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

#### 【청구항 8】

제 7항에 있어서,

상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n(n \leq N)$ 인 상태에서 출력되는 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되며,

이에 의해 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각 해당하는 상기 제1FB부의 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

#### 【청구항 9】

제 1항에 있어서,

상기 제2등화부는,

상기 트렐리스복호기에서 출력되는 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출부;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

#### 【청구항 10】

제1FF부 및 제1FB부에 의해 입력신호의 프리고스트 및 포스트고스트를 제거하는 제1등화단계;

트렐리스복호기에 의해 상기 제1등화단계의 출력된 신호에 대해 트렐리스 디코딩을 수행하는 트렐리스 디코딩단계; 및

입력신호에 대해 제2FF부에서 상기 프리고스트를 제거하고, 상기 트렐리스 디코딩단계에서 디코딩된 신호에 기초하여 제2FB부에서는 상기 입력신호의 상기 포스트고스트를 제거하는 제2등화단계;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 11】

제 10항에 있어서,

상기 제1등화단계에 입력되는 상기 입력신호를 소정시간 동안 저장하는 단계;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 12】

제 10항에 있어서,

상기 트렐리스 디코딩단계의 상기 트렐리스복호기는,

전체 디코딩 뎁쓰(decoding depth)가  $N$ ( $N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K$ ( $K$ 는 자연수)인 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 13】

제 10항에 있어서,

상기 제1등화단계는,

상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출단계;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 14】

제 13항에 있어서,

상기 제1등화에러값이 임계값 이하가 되면,

상기 트렐리스복호기의 소정의 디코딩 탭쓰 상태에서 출력되는 추정신호를 상기 제1FB부에 입력시키는 피드백단계;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 15】

제 14항에 있어서,

상기 피드백단계는,

상기 트렐리스복호기의 상기 디코딩 탭쓰가  $n(n \leq N \text{ 자연수})$ 인 상태에서 출력되는 상기 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 16】

제 13항에 있어서,

상기 제1등화에러값이 임계값 이하가 되면,

상기 트렐리스복호기의 상기 전체 디코딩 탭쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키는 피드백단계;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화방법.

【청구항 17】

제 16항에 있어서,

상기 피드백단계는,

상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n(n \leq N)$ 인 상태에서 출력되는 추정신호는,  
상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되며,

이와 같은 방식으로 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각  
해당하는 상기 제1FB부의 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등  
화방법.

【청구항 18】

제 10항에 있어서,

상기 제2등화단계는,

상기 트렐리스 디코딩단계에서 출력되는 상기 디코딩된 신호에 기초하여 제2등화에러값  
을 산출하는 제2에러산출단계;를 더 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등  
화방법.

【청구항 19】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하  
는 제1FB부, 및 상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여  
제1등화에러값을 산출하는 제1에러산출부를 가지는 제1등화부;

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하며, 디코딩 뎁쓰(decoding  
depth)가  $N(N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K(K$ 는 자연  
수)를 가지는 트렐리스복호기;

상기 제1등화에러값이 임계값 이하가 되면, 상기 트렐리스복호기의 소정의 디코딩 탭쓰 상태에서 출력되는 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부; 및

상기 버퍼에서 출력된 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 20】

제 19항에 있어서,

상기 트렐리스복호기의 상기 디코딩 탭쓰가  $n(n \leq N)$  자연수)인 상태에서 출력되는 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 21】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하는 제1FB부, 및 상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출부를 가지는 제1등화부;

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하며, 전체 디코딩 탭쓰 (decoding depth)가  $N(N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K(K$ 는 자연수)를 가지는 트렐리스복호기;

상기 제1등화에러값이 임계값 이하가 되면, 상기 트렐리스복호기의 상기 전체 디코딩 덱쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부; 및

상기 버퍼에서 출력된 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

#### 【청구항 22】

제 21항에 있어서,

상기 트렐리스복호기의 상기 디코딩 덱쓰가  $n(n \leq N)$ 이 상태에서 출력되는 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되며,

이에 의해 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각 해당하는 상기 제1FB부의 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

#### 【청구항 23】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하는 제1FB부를 가지는 제1등화부;

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하며, 디코딩 덱쓰(decoding depth)가  $N(N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K(K$ 는 자연수)를 가지는 트렐리스복호기; 및

상기 버퍼에서 출력된 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부, 및 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【청구항 24】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하는 제1FB부, 및 상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출부를 가지는 제1등화부;

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하며, 전체 디코딩 뎁쓰(decoding depth)가  $N$ ( $N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K$ ( $K$ 는 자연수)를 가지는 트렐리스복호기;

상기 제1등화에러값이 임계값 이하가 되면, 상기 트렐리스복호기의 소정의 디코딩 뎁쓰 상태에서 출력되는 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부; 및

상기 버퍼에서 출력된 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부, 및 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.



## 【청구항 25】

제 24항에 있어서,

상기 트렐리스복호기의 상기 디코딩 뎁쓰가  $n(n \leq N)$  자연수인 상태에서 출력되는 추정신호는, 상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

## 【청구항 26】

입력신호의 프리고스트를 제거하는 제1FF부와, 상기 입력신호의 포스트고스트를 제거하는 제1FB부, 및 상기 제1FF부의 출력신호와 상기 제1FB부의 출력신호의 가산신호에 기초하여 제1등화에러값을 산출하는 제1에러산출부를 가지는 제1등화부;

상기 제1등화부에 입력되는 상기 입력신호를 소정시간 동안 저장하는 버퍼;

상기 제1등화부의 출력신호에 대해 트렐리스 디코딩을 수행하며, 전체 디코딩 뎁쓰(decoding depth)가  $N(N$ 은 자연수), 전체 트레이스 백 지연(Trace back delay) 심볼길이가  $N \times K(K$ 는 자연수)를 가지는 트렐리스복호기;

상기 제1등화에러값이 임계값 이하가 되면, 상기 트렐리스복호기의 상기 전체 디코딩 뎁쓰 중 복수개의 상태에서 출력되는 복수개의 추정신호를 상기 제1FB부에 입력시키도록 상기 트렐리스복호기를 제어하는 트렐리스제어부; 및

상기 버퍼에서 출력된 상기 입력신호의 상기 프리고스트를 제거하는 제2FF부와, 상기 트렐리스복호기에 의해 디코딩된 신호에 기초하여 상기 입력신호의 상기 포스트고스트를 제거하는 제2FB부, 및 상기 디코딩된 신호에 기초하여 제2등화에러값을 산출하는 제2에러산출부를 가지는 제2등화부;를 포함하는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

## 【청구항 27】

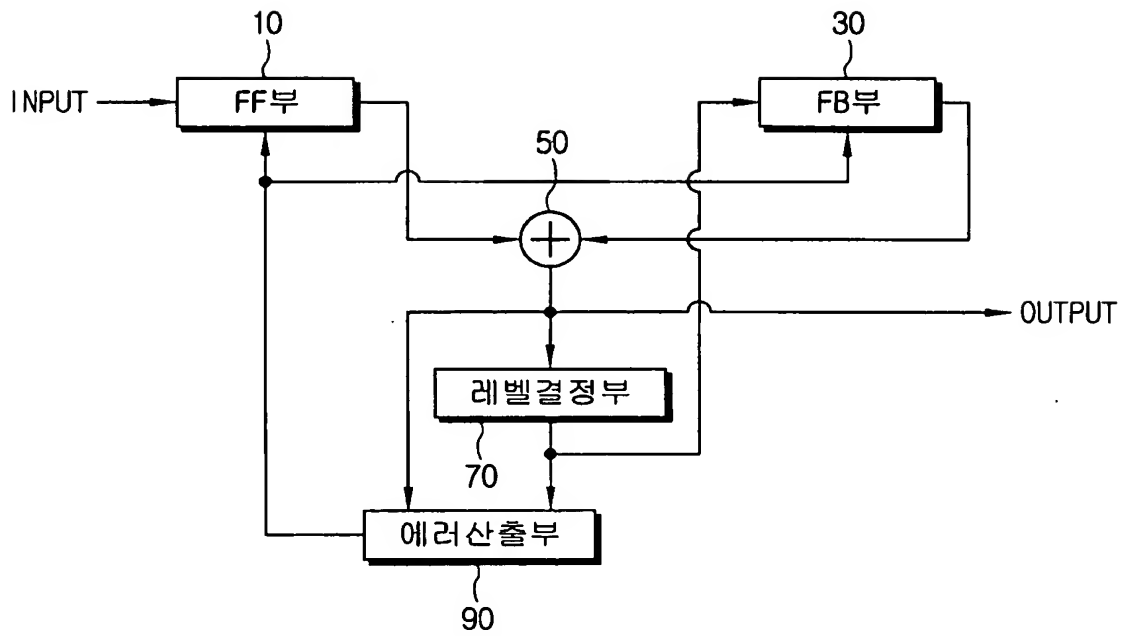
제 26항에 있어서,

상기 트렐리스복호기의 상기 디코딩 탭쓰가  $n(n \leq N)$ 인 상태에서 출력되는 추정신호는,  
상기 제1FB부의  $1+(n \times K)$ 번째 필터 탭에 입력되며,

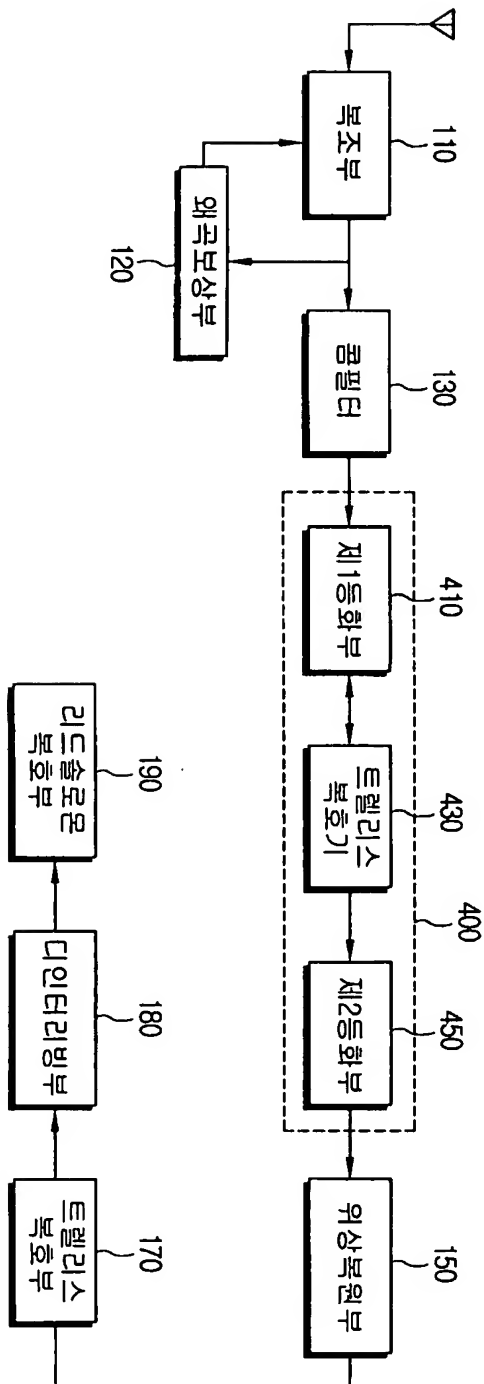
이에 의해 상기 복수개의 상태에서 출력되는 상기 복수개의 추정신호는 각각 해당하는  
상기 제1FB부의 필터 탭에 입력되는 것을 특징으로 하는 단일반송파수신기의 채널등화장치.

【도면】

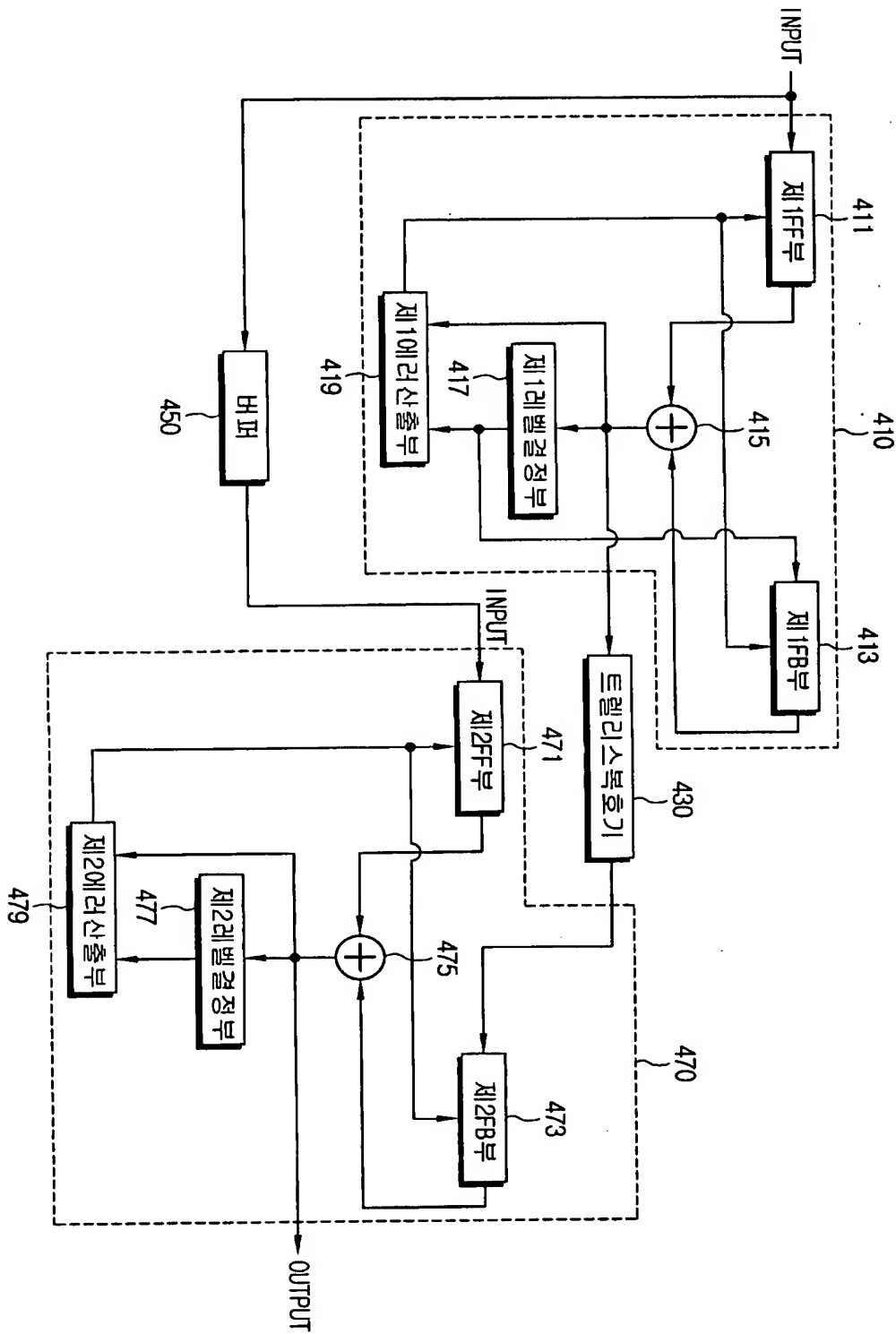
【도 1】



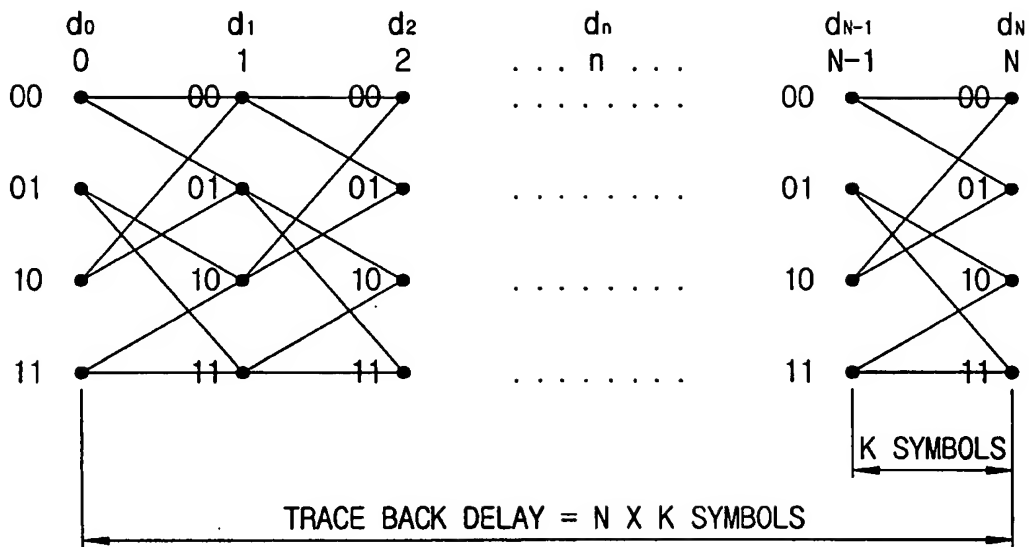
【도 2】



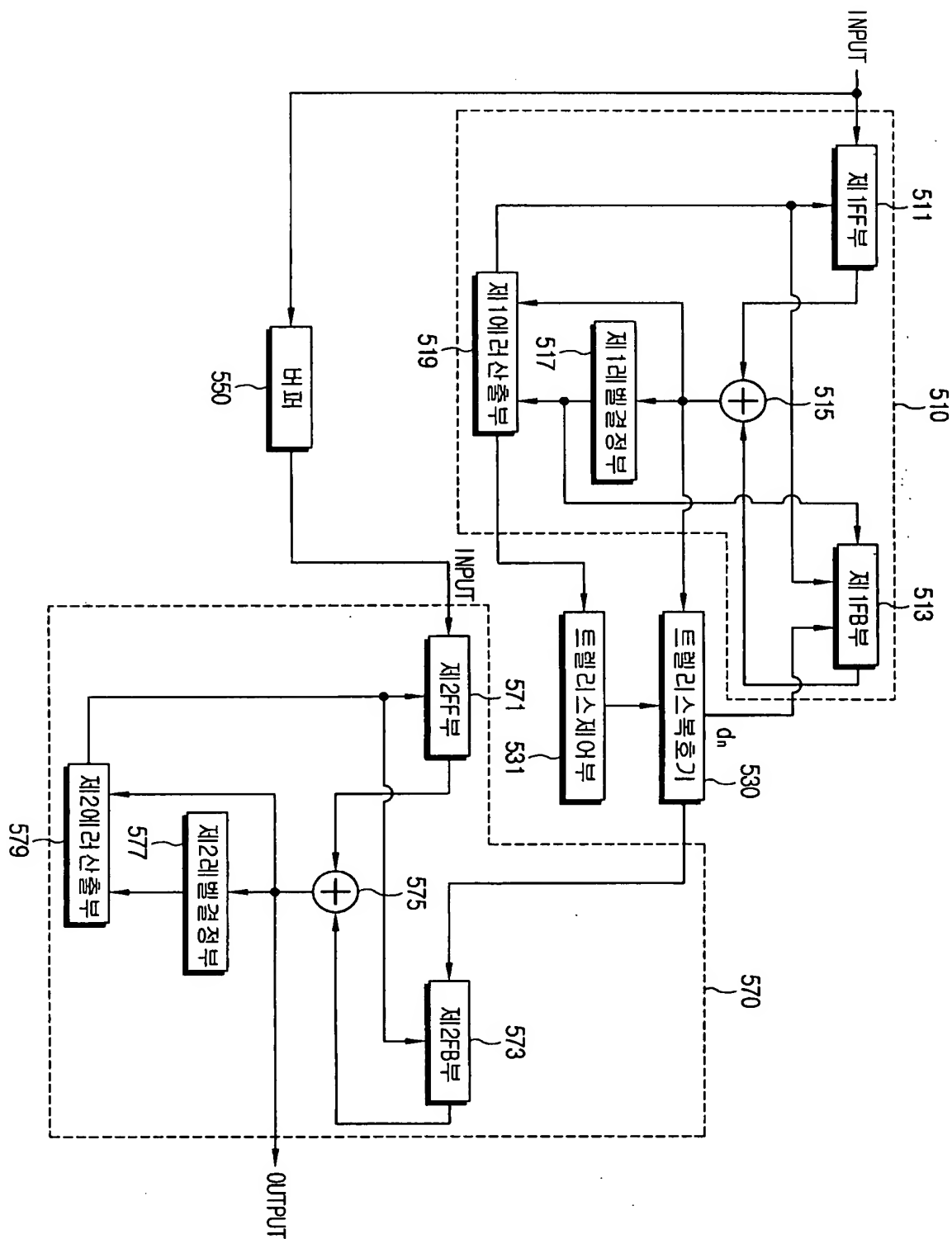
【도 3】



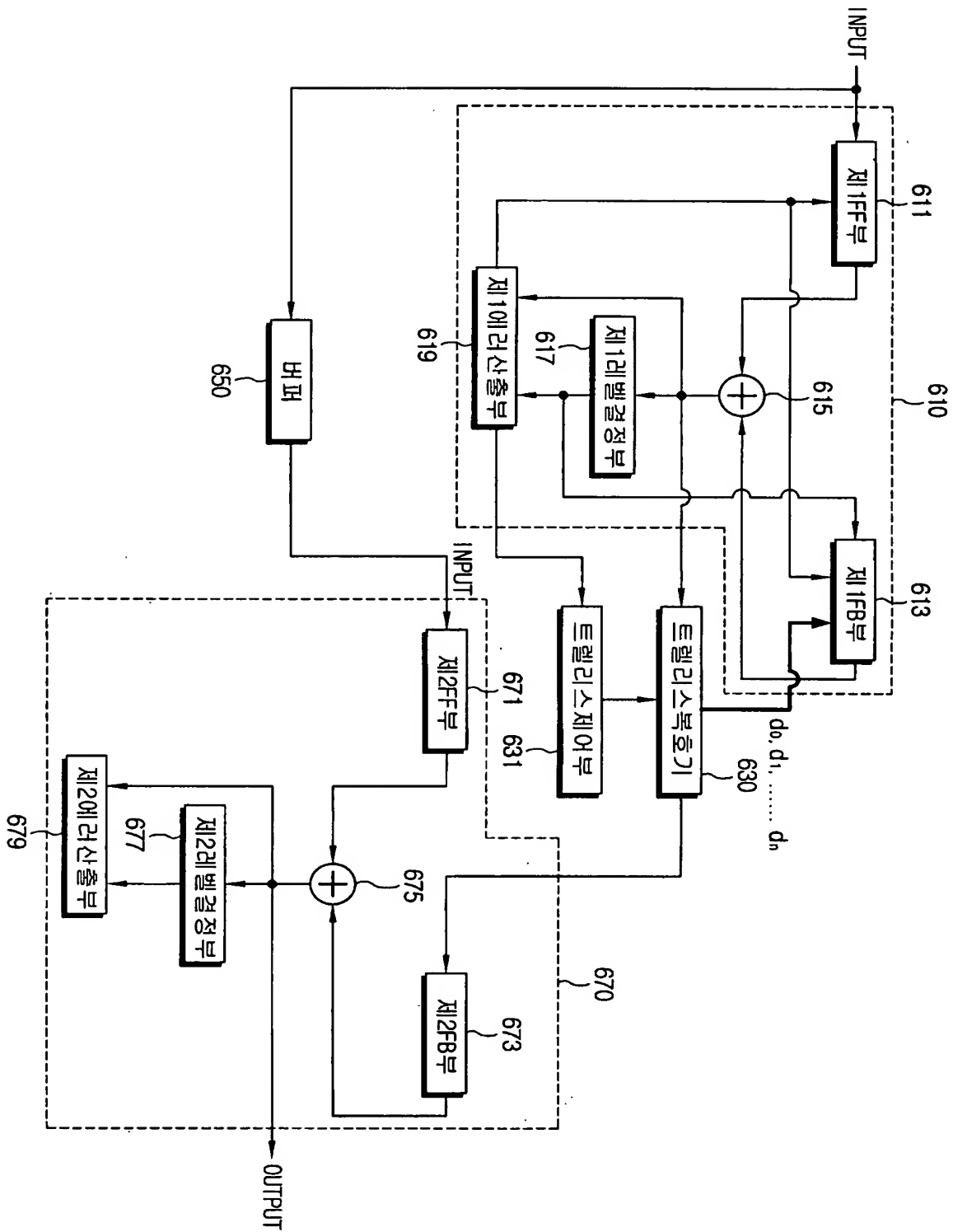
【도 4】



【도 5】

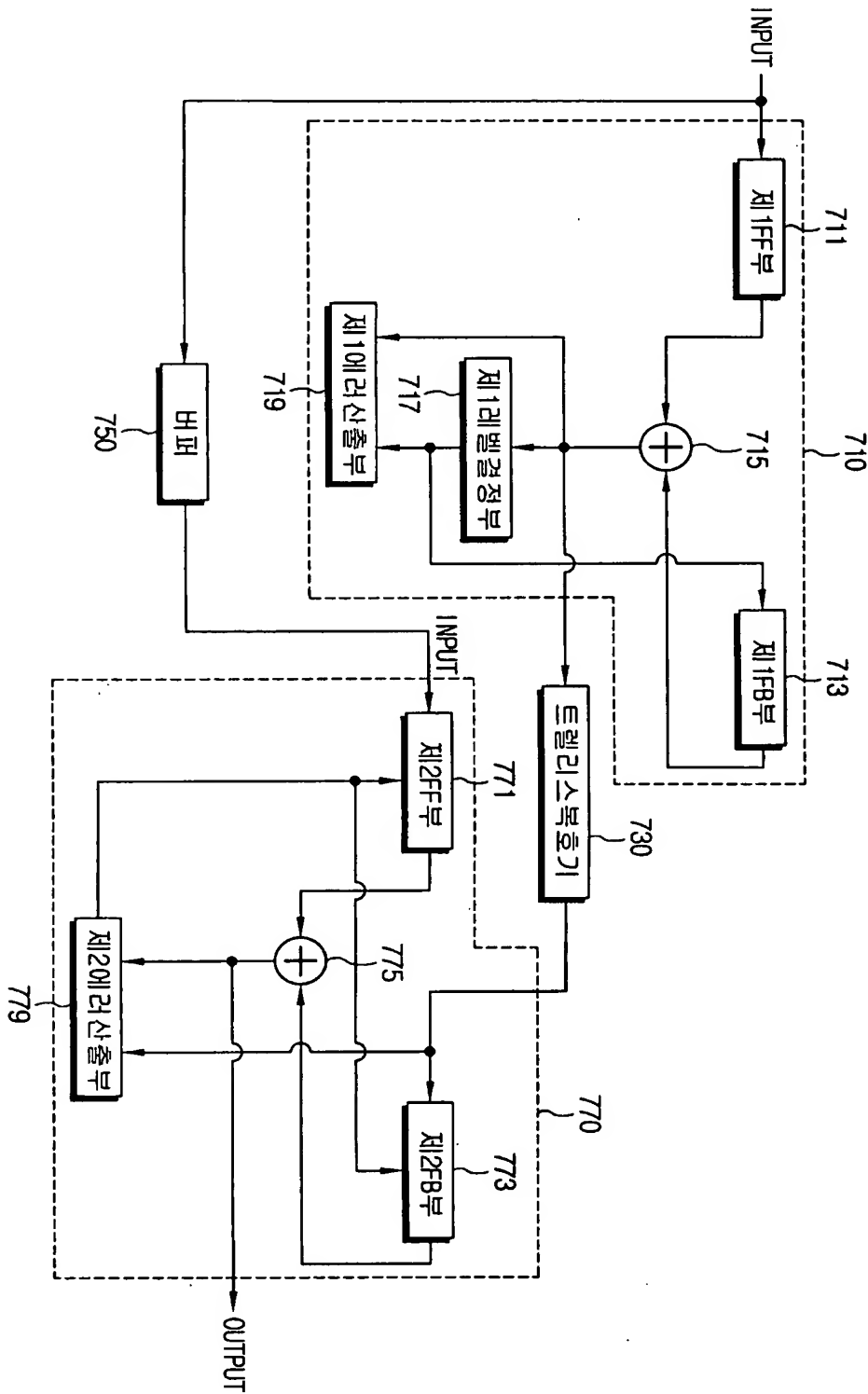


【도 6】

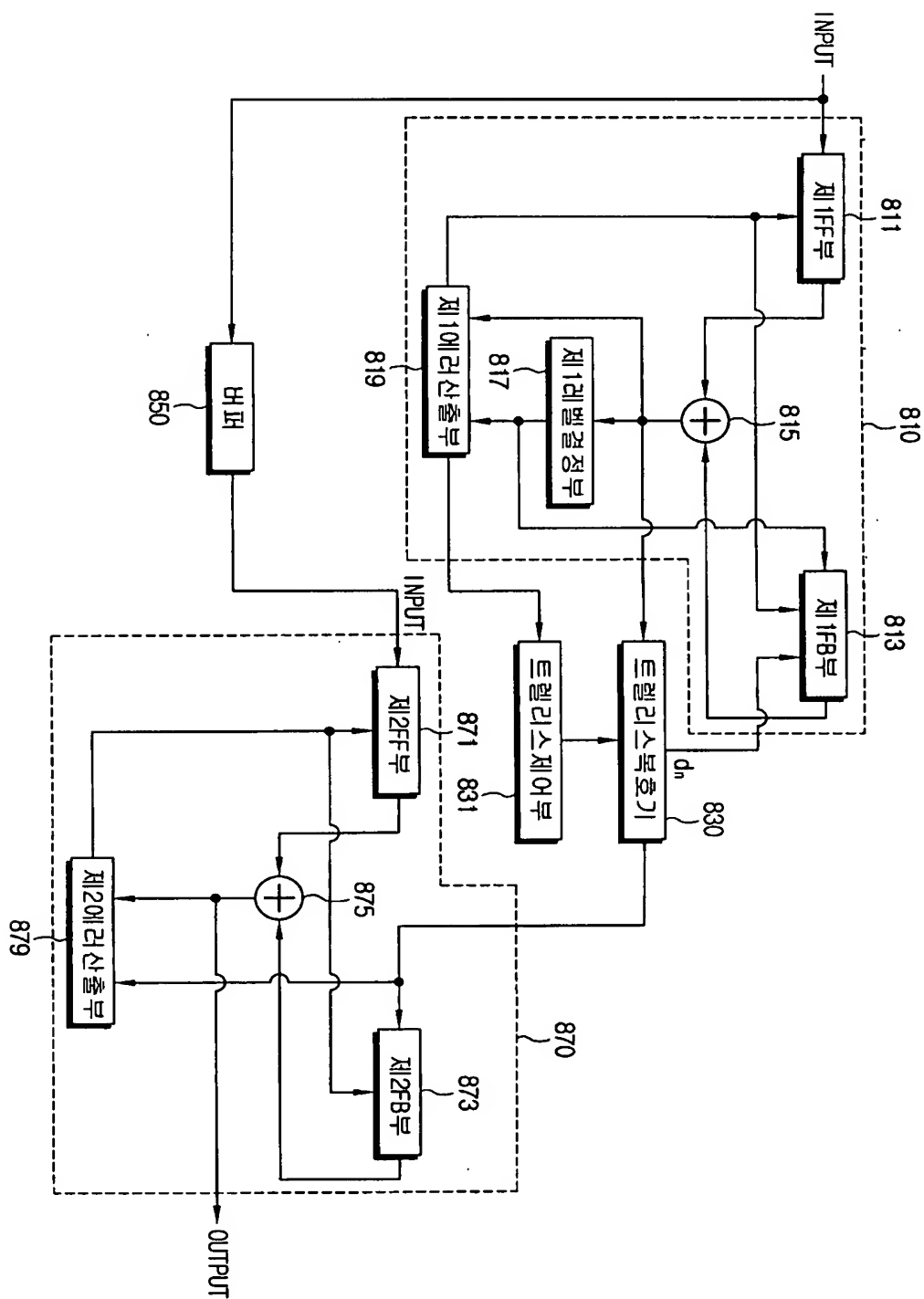




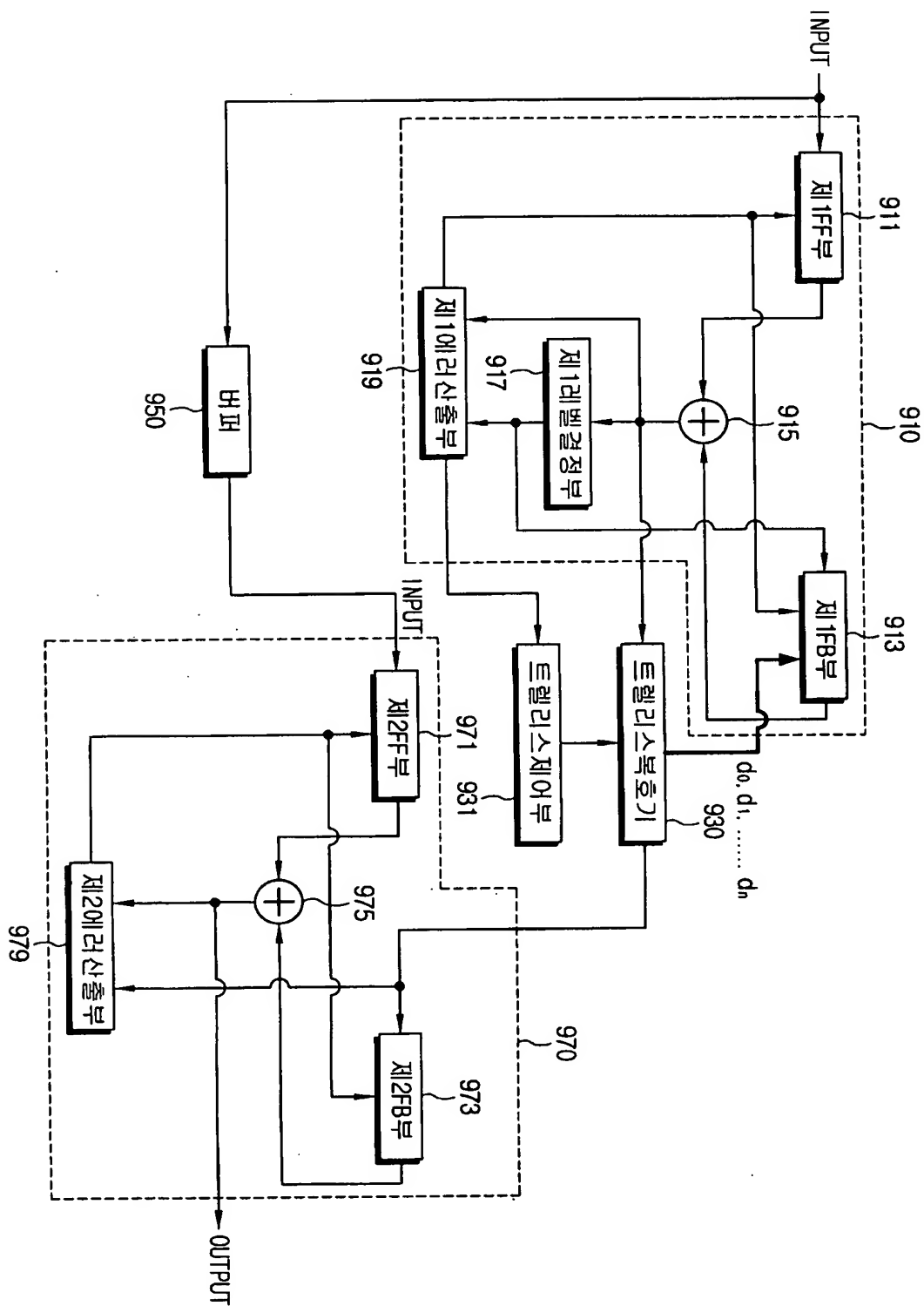
【도 7】



【도 8】



【도 9】



【도 10】

